

Digital data transmission scrambler circuitry

Publication number: DE4340330
Publication date: 1995-06-01
Inventor: KELES BURHAN (DE); SCHLICHTHAERLE DIETRICH DR (DE)
Applicant: TELEFONBAU & NORMALZEIT GMBH (DE)
Classification:
- **international:** **H03K3/84; H04L25/03; H03K3/00; H04L25/03;** (IPC1-7): H04L25/49; H03K3/84
- **European:** H03K3/84; H04L25/03E3
Application number: DE19934340330 19931126
Priority number(s): DE19934340330 19931126

Report a data error here

Abstract of **DE4340330**

The pseudo random generator (PZG) includes shift registers (SR) which are feedback coupled via exclusive gates (EL). A common reset line (RL) is provided to start and to switch the pseudo random generator (PZG) off temporarily. The reset line (RL) is fed to all reset inputs (R) of the flip-flops (F1.1-Fn.1) of the shift registers (SR1-SRn) which define the outputs (P1-Pn) of the pseudo random generator (PZG). The reset line (RL) is also fed to the set input (S) of at least one of the remaining flip-flops (e.g. F2.m). For the duration of the signal on the reset line (RL), a uniform continuous potential is fed to the outputs (P1-Pn) of the pseudo random generator (PZG). When the signal is not longer on the reset line (RL), a defined output state is delivered to resume scrambling.

.....
Data supplied from the **esp@cenet** database - Worldwide



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 43 40 330 A 1**

⑥① Int. Cl.⁶:
H 04 L 25/49
H 03 K 3/84

②① Aktenzeichen: P 43 40 330.1
②② Anmeldetag: 26. 11. 93
④③ Offenlegungstag: 1. 6. 95

DE 43 40 330 A 1

⑦① Anmelder:
Telenorma GmbH, 60326 Frankfurt, DE

⑦② Erfinder:
Keles, Burhan, 64289 Darmstadt, DE; Schlichthärle,
Dietrich, Dr., 63477 Maintal, DE

⑤④ Schaltungsanordnung für einen Verwürfler (Scrambler) zur digitalen Datenübertragung

⑤⑦ Die Schaltungsanordnung soll es ermöglichen, daß ein Pseudo-Zufalls-Generator eines Verwürflers durch ein einfaches Signal vorübergehend stillgesetzt werden kann und anschließend selbsttätig den Betrieb wieder aufnimmt. Damit soll erreicht werden, daß insbesondere für Prüfwerte Daten bei Bedarf unverwürgelt gesendet werden. Es ist eine gemeinsame Rücksetzleitung vorgesehen, die an alle Rücksetzeingänge derjenigen Flipflops der Schieberegister des Pseudo-Zufalls-Generators geführt ist, welche dessen Ausgänge bestimmen. Außerdem ist diese Rücksetzleitung an den Setzeingang von mindestens einem beliebigen Flipflop angeschlossen. Dadurch ergibt sich ein definierter Ausgangszustand für die Wiederaufnahme der Verwürflung. Wenn auf der Rücksetzleitung ein Signal angelegt wird, so liegt an allen Ausgängen des Pseudo-Zufalls-Generators ein Low-Pegel an, so daß die Eingangsdaten des Verwürflers unverändert am Ausgang erscheinen. Der Verwürfler nimmt sofort den Betrieb wieder auf, wenn das Signal auf der Rücksetzleitung verschwindet.

DE 43 40 330 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 04. 95 508 022/242

5/29

Die Erfindung betrifft eine Schaltungsanordnung für einen Verwürfler (Scrambler) zur digitalen Datenübertragung nach dem Oberbegriff des Patentanspruchs 1.

Um zu vermeiden, daß bei der Übertragung digitaler Signale Impulsmuster auftreten, die einen hohen Energieanteil bei bestimmten diskreten Frequenzen oder aber auch einen Gleichstromanteil aufweisen, ist es bekannt, die digitalen Informationen an der Sendestelle zu verwürfeln. Mit dem Verwürfeln wird erreicht, daß die einzelnen Frequenzen zufallsverteilt so auftreten, daß eine ideale Verteilungskurve über das Leistungsdichtespektrum erreicht wird. Die Verwürflung geschieht dadurch, daß die zu übertragenden Daten verknüpft werden mit den von einem Pseudo-Zufalls-Generator erzeugten Bitmustern.

Aus der Deutschen Patentschrift DE 30 06 717 C2 ist eine umschaltbare freilaufende Verwürfler- und Entwürfleranordnung (Scrambler und Descrambler) bekannt. Wenn diese Anordnung als Verwürfler arbeitet, so werden die von einem Schieberegister erzeugten Zufallsfolgen von Bits mit einem Exklusiv-ODER-Gatter (E3 in Fig. 1) mit den abzusendenden Daten verknüpft. Am Datenausgang erscheint dann die gewünschte verwürfelte Information, welche über die Datenleitung ausgesendet wird.

Bei einer derartigen Anordnung ist es nicht möglich, am Datenausgang, beispielsweise zu Prüfzwecken, auch unverwürfelte Daten zu erhalten. Ein Prüfgerät, welches an die Übertragungsleitung angeschlossen wird, kann also nicht ohne weiteres unverwürfelte Informationen empfangen.

Die Aufgabe der Erfindung besteht darin, eine Schaltungsanordnung anzugeben, wobei der Pseudo-Zufalls-Generator des Verwürflers durch eine einfache Schaltungsmaßnahme vorübergehend stillgesetzt werden kann und anschließend selbsttätig den Betrieb wieder aufnimmt. In diesem Zustand sollen die Daten unverwürfelt aus dem Verwürfler ausgegeben werden. Die Schaltungsanordnung soll auch bei einer bit-parallelen Verwürflung eingesetzt werden können, ohne daß zusätzliche Verknüpfungsgatter im Pseudo-Zufalls-Generator vorgesehen werden müssen, um den Zufalls-Generator vom Datenpfad trennen zu können.

Für die Lösung dieser Aufgabe ist eine Merkmalskombination vorgesehen, wie sie im Patentanspruch 1 angegeben ist.

Damit wird in vorteilhafter Weise erreicht, daß durch ein einfach anzuschaltendes Signal der Verwürfler vorübergehend außer Betrieb gesetzt werden kann. Die zu übertragende Information kann dann unverwürfelt, beispielsweise von einem Prüfgerät, empfangen werden. Der Verwürfler geht selbsttätig wieder in Betrieb sobald das Abschaltsignal zurückgenommen wird.

Ein Ausführungsbeispiel der Erfindung wird nachfolgend anhand von Zeichnungen näher erläutert.

Es zeigt

Fig. 1 das Blockschaltbild eines Verwürflers

Fig. 2 den inneren Aufbau eines Pseudo-Zufalls-Generators.

Der in Fig. 1 dargestellte Verwürfler besteht im wesentlichen aus einem Pseudo-Zufalls-Generator PZG und Exklusiv-ODER-Gatter EG, worin die Daten-Eingangssignale DE mit den Ausgangssignalen P1 bis Pn des Pseudo-Zufalls-Generators PZG verknüpft werden. Die Exklusiv-ODER-Gatter EG sind für jeweils ein Bit zuständig und bilden an ihren Ausgängen Daten-Aus-

gangssignale DA, die jeweils ein verwürfeltes Datenwort darstellen. Der Pseudo-Zufalls-Generator PZG besteht aus mehreren, jeweils für ein Bit zuständigen Schieberegistern. Er liefert an seinen Ausgängen P1 bis Pn eine jeweils aus einem Wort bestehende Pseudo-Zufallsfolge. Es erfolgt dann eine wortweise Verknüpfung der Daten-Eingangssignale DE mit den Worten der Pseudo-Zufallsfolge, so daß ein verwürfeltes Datenausgangssignal DA jeweils in Form eines Wortes entsteht. Hierzu ist pro Bit ein Exklusiv-ODER-Gatter EG vorgesehen.

Außerdem ist in Fig. 1 ein ODER-Gatter OG dargestellt, welches an seinem Ausgang ein Signal für die gemeinsame Rücksetzleitung RL bildet, die an den Pseudo-Zufalls-Generator PZG angeschlossen ist. Der Pseudo-Zufalls-Generator PZG wird durch einen kurzen Rücksetzimpuls RS, z. B. beim Power-Up, in einen definierten Ausgangszustand versetzt und sicher gestartet oder kann durch ein während einer Testphase andauerndes Abschaltsignal AB vorübergehend außer Betrieb gesetzt werden. Dadurch entstehen an den Ausgängen P1 bis Pn des Pseudo-Zufalls-Generators PZG jeweils Dauersignale mit Low-Pegel, so daß in den Exklusiv-ODER-Gattern EG keine Verknüpfungen stattfinden. Dadurch entspricht das Daten-Ausgangssignal DA dem Daten-Eingangssignal DE, so daß die Daten unverwürfelt, beispielsweise von einem Prüfgerät, empfangen werden können. Die unverwürfelten Daten können dann ausgewertet und/oder angezeigt werden.

In der Fig. 2 sind Einzelheiten des Pseudo-Zufalls-Generators PZG dargestellt. Dieser besteht aus mehreren Schieberegistern SR1 bis SRn, welche für jeweils ein Bit zuständig sind. Die Schieberegister SR1 bis SRn bestehen aus mehreren Flip-Flops F1.1 bis Fn.m. Die Anzahlen der einzelnen Flip-Flops pro Schieberegister SR1 bis SRn ergeben sich aus dem jeweiligen Polynom, welches für die Verwürflung angewendet wird. Die Schieberegister SR1 bis SRn können auch unterschiedliche Anzahlen von Flip-Flops enthalten, wenn sich eine derartige Konfiguration aus dem zu verwendenden Polynom ergibt. Die Ausgänge der jeweils letzten Flip-Flops F1.m bis Fn.m sind mit Eingängen einer Exklusiv-ODER-Logik EL verbunden. Ausgänge dieser Exklusiv-ODER-Logik EL sind mit den Dateneingängen der jeweils ersten Flip-Flops F1.1 bis Fn.1 der Schieberegister SR1 bis SRn verbunden. Die Exklusiv-ODER-Logik EL weist zusätzliche Eingänge E1 bis Ex auf, welche mit den Dateneingängen weiterer Flip-Flops, beispielsweise F2.m oder Fn.m verbunden werden können, wenn dies durch das verwendete Polynom erforderlich ist.

Innerhalb der Exklusiv-ODER-Logik EL sind interne Verbindungen zwischen den jeweiligen Ausgängen und Eingängen der nicht einzeln dargestellten Exklusiv-ODER-Gatter vorgesehen, so daß die Schieberegister SR1 bis SRn sich gegenseitig beeinflussen. Die dadurch entstehende Pseudo-Zufallsfolge von jeweils ganzen Wörtern werden an den Ausgängen der jeweils ersten Flip-Flops F1.1 bis Fn.1 abgenommen und auf den Leitungen P1 bis Pn den einzelnen Exklusiv-ODER-Gattern EG angeboten, die in Fig. 1 dargestellt sind.

Die an dem Ausgang des ODER-Gatters OG angeschlossene gemeinsame Rücksetzleitung RL ist an die Rücksetzeingänge R aller ersten Flip-Flops F1.1 bis Fn.1 der Schieberegister SR1 bis SRn angeschlossen. Außerdem muß diese Rücksetzleitung RL mit dem Setzeingang S von mindestens einem Flip-Flop, z. B. F2.m, verbunden sein. Mit der gemeinsamen Rücksetzleitung RL wird dann erreicht, daß bei einem auf ihr auftretenden

Signal die jeweils ersten Flip-Flops F1.1 bis Fn.1 der Schieberegister SR1 bis SRn in einem definierten Dauerzustand festgehalten werden. An den Ausgängen P1 bis Pn entstehen dann Dauer-Low-Signale, so daß der Pseudo-Zufalls-Generator PZG wirkungslos bleibt. 5
 Wenn das Signal auf der gemeinsamen Rücksetzleitung RL weggenommen wird, so ergibt sich beim Anlaufen des dann freigegebenen Pseudo-Zufalls-Generators PZG ein definierter Ausgangszustand, weil mindestens 10
 eins der Flip-Flops, im Beispiel F2.n über seinen Setzeingang S in die Arbeitslage geschaltet ist. Die Pseudo-Zufallsfolgen erscheinen dann wieder an den Ausgängen P1 bis Pn, wobei sich die Wiederholrate aus der verwendeten Polynom-Gleichung, z. B. $X^{31} + X^{28} + 1$ nach CCITT-Empfehlung L432 ergibt. 15

Patentansprüche

1. Schaltungsanordnung für einen Verwürfler (Scrambler) zur digitalen Datenübertragung, bei dem mit einem Pseudo-Zufalls-Generator Signalfolgen erzeugt werden, die dem zu übertragenden Signal hinzugefügt werden, so daß die Energieanteile möglichst gleichmäßig auf das Frequenzspektrum verteilt werden, wobei der Pseudo-Zufalls-Generator aus Schieberegistern besteht, die über Exklusivgatter rückgekoppelt sind, **dadurch gekennzeichnet**, daß zum Starten und zum vorübergehenden Abschalten des Pseudo-Zufalls-Generators (PZG) eine gemeinsame Rücksetzleitung (RL) 30
 vorgesehen ist, die an alle Rücksetzeingänge (R) derjenigen Flip-Flops (F1.1 bis Fn.1) der Schieberegister (SR1 bis SRn) geführt ist, welche die Ausgänge (P1 bis Pn) des Pseudo-Zufalls-Generators (PZG) bestimmen, sowie an den Setzeingang (S) 35
 von mindestens einem beliebigen der restlichen Flip-Flops (z. B. F2.m) angeschlossen ist, wodurch die Ausgänge (P1 bis P8) des Pseudo-Zufalls-Generators (PZG) für die Dauer des Signals auf der Rücksetzleitung (RL) ein einheitliches Dauerpotential führen und nach Beenden des Signals auf der gemeinsamen Rücksetzleitung (RL) ein definierter Ausgangszustand für die Wiederaufnahme der Verwürflung vorgegeben ist. 40
2. Schaltungsanordnung nach Anspruch 1, dadurch 45
 gekennzeichnet, daß das Signal auf der gemeinsamen Rücksetzleitung (RL) von einem ODER-Gatter (OG) erzeugt wird, welchem entweder ein kurzer Rücksetzimpuls (RS) oder ein während einer Testphase andauerndes Abschaltsignal (AB) zuge- 50
 führt wird.

Hierzu 2 Seite(n) Zeichnungen

55

60

65

- Leerseite -

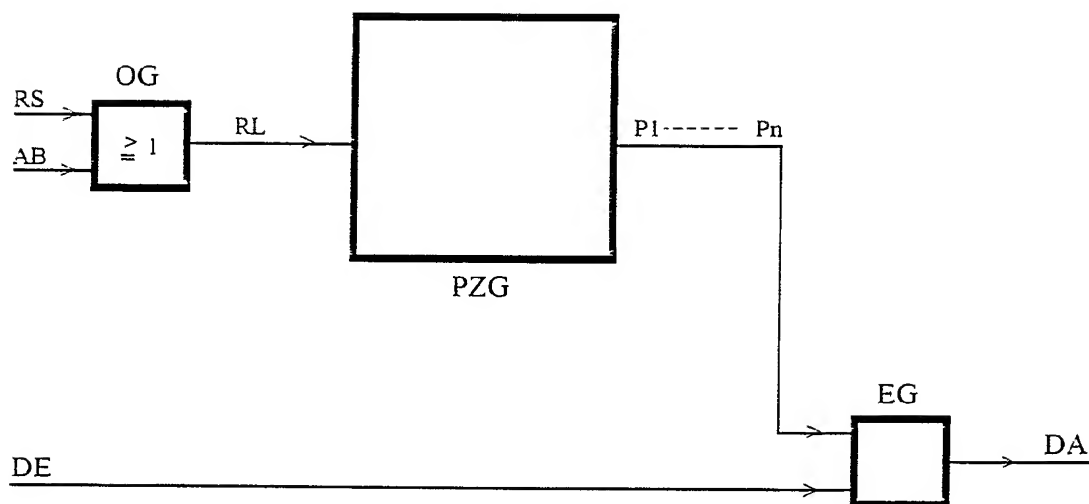


Fig. 1

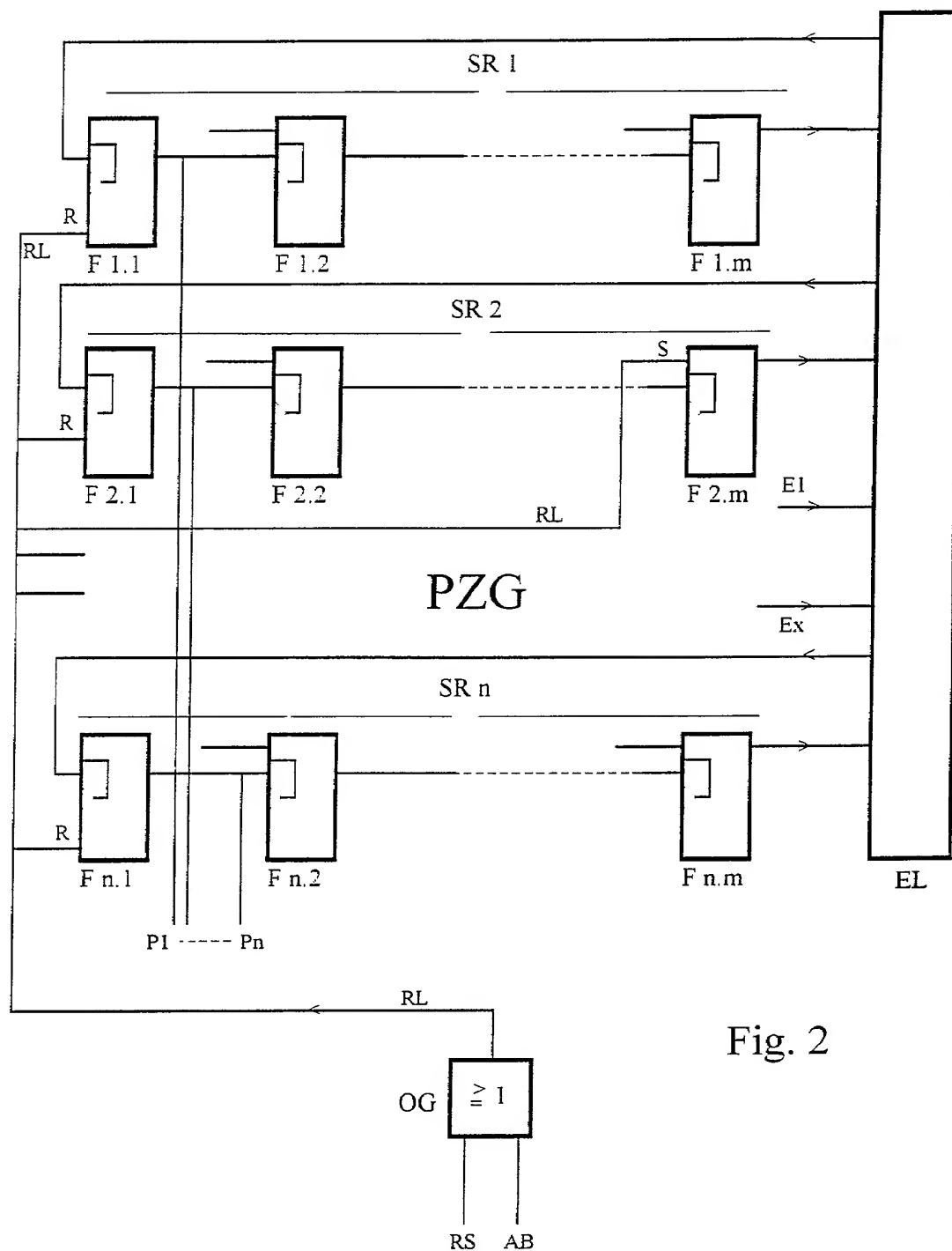


Fig. 2